

Original document

SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND ITS MANUFACTURING METHOD

Best Available Copy

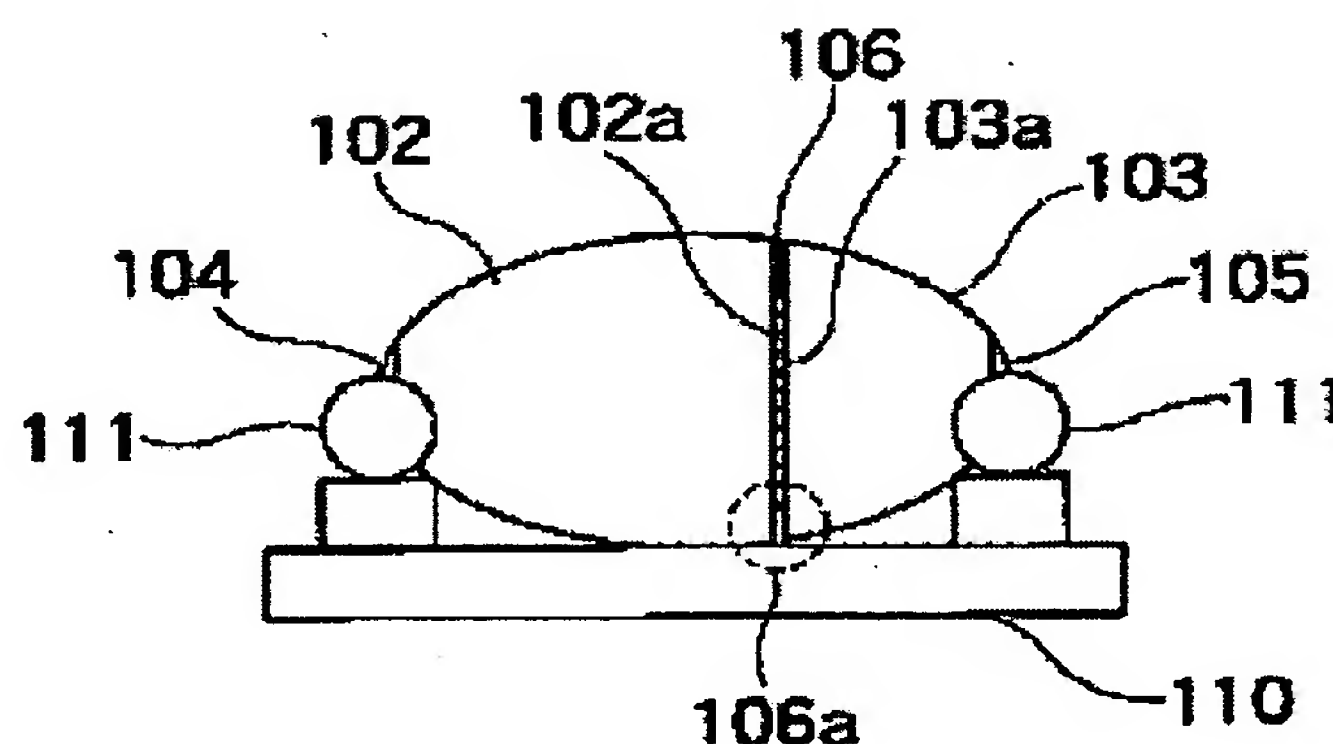
Patent number: JP2002190619
Publication date: 2002-07-05
Inventor: WATANABE YUKIO; NITTA KOICHI; FUJIKI JUNICHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: **H01L33/00; H01L33/00**; (IPC1-7): H01L33/00
- european:
Application number: JP20000391192 20001222
Priority number(s): JP20000391192 20001222

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP2002190619

PROBLEM TO BE SOLVED: To provide a semiconductor light-emitting element which is high in light output efficiency and easy to mount, and to provide its manufacturing method. **SOLUTION:** The whole semiconductor light-emitting element is made nearly spherical, by using a transparent P-type semiconductor bonding substrate which is nearly semispherical, a transparent N-type semiconductor bonding substrate which is nearly semispherical, and a light-emitting diode layer sandwiched by the substrates. In this manufacturing method, the light-emitting diode layer is formed on a dummy substrate, and the transparent P-type semiconductor bonding substrate is bonded on the dummy substrate. After the dummy substrate is eliminated, the transparent N-type semiconductor bonding substrate is bonded instead of the dummy substrate, and the entirety is worked in a nearly spherical type. The semiconductor light-emitting element has a slanted end surface, on which an insulating film and a reflecting film are formed in sequence.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-190619
(P2002-190619A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl.⁷
H 0 1 L 33/00

識別記号

F I
H 0 1 L 33/00

テ-マ-ト*(参考)
B 5 F 0 4 1

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願2000-391192(P2000-391192)

(22)出願日 平成12年12月22日(2000.12.22)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 渡 辺 幸 雄

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 新 田 康 一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

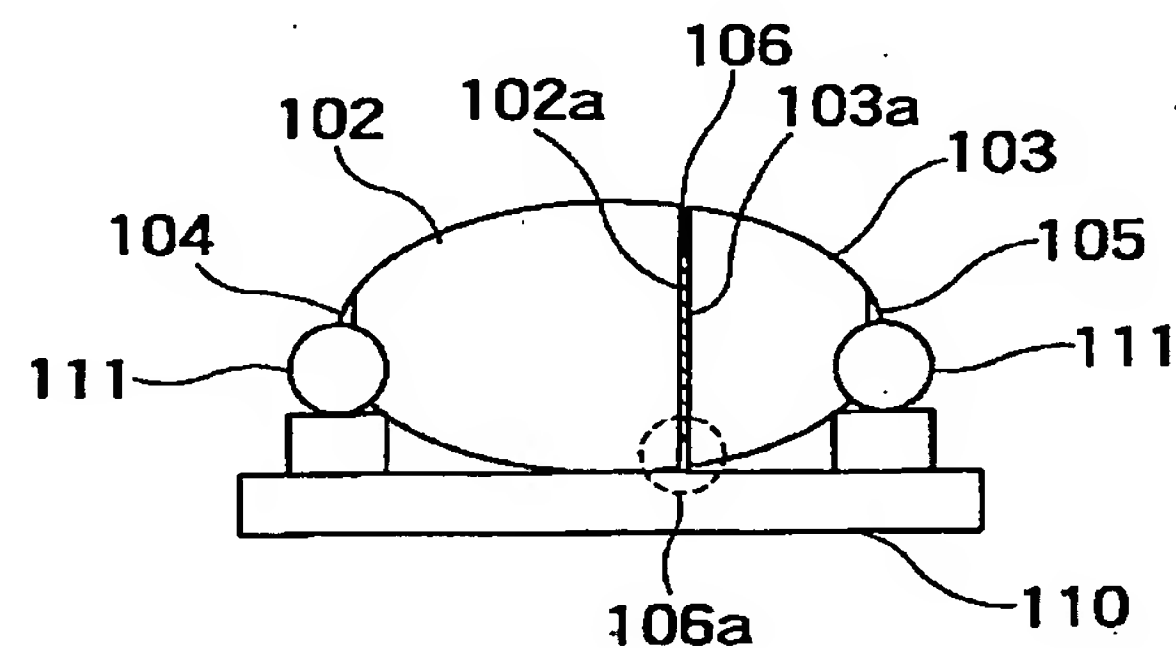
最終頁に続く

(54)【発明の名称】 半導体発光素子及びその製造方法

(57)【要約】

【課題】 光取り出し効率が高く、かつ、マウントが容易な半導体発光素子、および、その製造方法を提供する。

【解決手段】 半導体発光素子を、ほぼ半球状の透明なp型半導体接着基板と、ほぼ半球状の透明なn型半導体接着基板と、これらに挟まれた発光ダイオード層と、により全体がほぼ球状のものとする。これを製造する方法として、ダミー基板の上に発光ダイオード層を形成した後、その上に透明なp型半導体接着基板を接着し、その後ダミー基板を除去して代わりに透明なn型半導体接着基板を接着し、全体をほぼ球状に加工する方法を提供する。また、半導体発光素子を、傾斜した端面を持ち、その端面に順次絶縁膜および反射膜を形成したものとする。



【特許請求の範囲】

【請求項1】第1の接着面を有するほぼ半球状のp型半導体接着基板と、

第2の接着面を有するほぼ半球状のn型半導体接着基板と、

前記p型半導体接着基板と前記n型半導体接着基板とに挟まれ、電流注入により前記p型半導体接着基板および前記n型半導体接着基板に対して透光性を有する波長の光を発光する活性層を含む半導体積層体と、を有し、全体がほぼ球状であることを特徴とする半導体発光素子。

【請求項2】前記p型半導体接着基板の頂点から前記第1の接着面までの距離と、前記n型半導体接着基板の頂点から前記第2の接着面までの距離と、を異なる値に設定したことを特徴とする請求項1記載の半導体発光素子。

【請求項3】前記半導体積層体の面積を前記第1の接着面の面積および前記第2の接着面の面積よりも小さく設定することにより、前記半導体積層体の側面の周囲に、前記第1の接着面の周囲および前記第2の接着面の周囲によりも窪んでいる窪みを形成してあることを特徴とする請求項1または請求項2記載の半導体発光素子。

【請求項4】前記活性層がInGaAlPからなり、前記n型半導体接着基板および前記p型半導体接着基板がGaPからなることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体発光素子。

【請求項5】第1導電型半導体基板上に、第1導電型半導体層、電流注入により特定の波長の光を発光する活性層、第2導電型半導体層を順次形成する工程と、前記第2導電型半導体層に、前記特定の波長の光に対して透光性を有する第2導電型半導体接着基板を接着して熱処理する第1の接着工程と、前記第1導電型半導体基板をエッチング除去する除去工程と、

前記除去工程で露出した前記第1導電型半導体層に、前記特定の波長の光に対して透光性を有する第1導電型半導体接着基板を接着して熱処理する第2の接着工程と、全体をほぼ球状に加工する工程と、を備えることを特徴とする半導体発光素子の製造方法。

【請求項6】前記第1の接着工程の熱処理温度が、前記第2の接着工程の熱処理温度よりも低いことを特徴とする請求項5記載の半導体発光素子の製造方法。

【請求項7】前記第1の接着工程の熱処理温度が350℃以上450℃以下であり、前記第2の接着工程の熱処理温度が700℃以上800℃以下であることを特徴とする請求項5または請求項6に記載の半導体発光素子の製造方法。

【請求項8】互いに向き合う第1および第2の面を有し、前記第1の面の面積が前記第2の面の面積よりも小さい第1導電型半導体基板と、

前記第1導電型半導体基板の第1の面上に形成された第1導電型半導体層と、

前記第1導電型半導体層上に形成され、電流注入により前記第1導電型半導体基板に対して透光性を有する波長の光を発光する活性層と、

前記活性層上に形成された第2導電型半導体層と、

前記第1導電型半導体基板、前記第1導電型半導体層、前記活性層、前記第2導電型半導体層、の端面上に形成された絶縁膜と、

10 前記絶縁膜上に形成された反射膜と、を備え、前記第2の面から光を取り出すものとして構成されていることを特徴とする半導体発光素子。

【請求項9】前記絶縁膜がSiO₂、Al₂O₃、シリコンの中から選ばれた絶縁膜であり、前記反射膜がAg、Al、Au、Cuの中から選ばれた反射膜であることを特徴とする請求項8記載半導体発光素子。

【請求項10】前記絶縁膜がTiO₂絶縁膜であり、前記反射膜がTi、Auの中から選ばれた反射膜であることを特徴とする請求項8記載半導体発光素子。

20 【請求項11】前記絶縁膜がHfO₂絶縁膜であり、前記反射膜がNi、Auの中から選ばれた反射膜であることを特徴とする請求項8記載半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体発光素子及びその製造方法に関する。

【0002】

30 【従来の技術】半導体発光素子(LED)は、pn接合に注入された電子とホールとの発光再結合を利用して活性層から光を発光するデバイスである。活性層の半導体材料を変えることで、赤外から紫外までの発光が実現できる。この半導体発光素子は安価で長寿命な発光素子として注目され、幅広いアプリケーションに用いられている。

【0003】この半導体発光素子では、光取り出し効率を上げて、発光輝度を高くすることが1つの課題となっている。すなわち、半導体の高い屈折率のために、素子から光を取り出すことは容易でないので、光取り出し効率を上げることが課題となっている。この光取り出し効率の向上を実現する手段として、例えば、以下のような方法があった。

40 【0004】図12は、従来の半導体発光素子の構造を示すもので、特開平3-35568に記載されたものである。図12の素子では、電流注入により発光ダイオード層23の活性層が特定の波長の光を発光する。透明基板22はこの波長の光に対して透光性を有する接着基板である。これらの発光ダイオード層23、透明基板22は、まず発光ダイオード層23を図示しない不透明基板の上側に成長し、次にこの発光ダイオード層23の上側に透明基板22を接着し、その後発光ダイオード層23

の下側の図示しない不透明基板を除去して得られる。このようにして発光ダイオード層23、透明基板22を形成後、透明基板22の一部に通電用のオーミック電極であるn電極21を形成し、発光ダイオード層23の一部にシリカ層24の開口を通してp電極25を形成し、V字状のダイシングソーを使用して、図12に示すような疑似半球状の発光素子が作成される。

【0005】また、図13は、特開平4-96318に記載された半導体発光素子である。図13の半導体発光素子は、発光の取り出し効率を上げるために素子の形状を半球状にし、p電極35、n電極36をドーム下面部に形成したタイプである。このように、取り出し側を球面状にし、電極35、36の側に反射膜33を形成すれば、ほぼ球体に近く、活性層37が球体の中心に位置する素子とすることができる。

【0006】

【発明が解決しようとする課題】しかし、上述の従来の方法には、以下のような問題点があった。

【0007】まず、図12の半導体発光素子には、光取り出しが充分でないという問題があった。すなわち、図12の素子構造においては、光取り出し側のn電極21が発光の一部を吸収または反射してしまうために、n電極21の下部で発光した光を有効に取り出すことができなかった。

【0008】これに対し、図13の素子のように、光取り出し側と反対側に電極35、36を形成すれば、電極によって光取り出し効率が低下することはなくなった。しかし図13の素子にはマウントが極めて難しいことなどの問題点があった。

【0009】すなわち、図13の半導体発光素子では、n電極35とp電極36の位置が近いため、マウントに際して、バンプ半田の広がり等による電極間の短絡等に細心の注意を払う必要があった。また、マウント用のステムに形成された電極と素子電極35、36との極めて正確な位置決めが必要であった。このように図13の素子ではマウントが極めて難しかった。また、発光に際して、活性層37への電流注入が横方向であるため、発光に偏りが生じてしまった。さらに、電極分離の溝38を形成しなければならず、また、Zn拡散部34の製造プロセスが必要であり、素子プロセスが難しくなってしまう。

【0010】本発明は、かかる課題の認識に基づいてなされたもので、その目的は、光取り出し効率が高く、かつ、マウントが容易な半導体発光素子を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体発光素子は、第1の接着面を有するほぼ半球状のp型半導体接着基板と、第2の接着面を有するほぼ半球状のn型半導体接着基板と、前記p型半導体接着基板と前記n型半導体接

着基板とに挟まれ、電流注入により前記p型半導体接着基板および前記n型半導体接着基板に対して透光性を有する波長の光を発光する活性層を含む半導体積層体と、を有し、全体がほぼ球状であることを特徴とする。

【0012】また、本発明の半導体発光素子の製造方法は、第1導電型半導体基板上に、第1導電型半導体層、電流注入により特定の波長の光を発光する活性層、第2導電型半導体層を順次形成する工程と、前記第2導電型半導体層に、前記特定の波長の光に対して透光性を有する第2導電型半導体接着基板を接着して熱処理する第1の接着工程と、前記第1導電型半導体基板をエッチング除去する除去工程と、前記除去工程で露出した前記第1導電型半導体層に、前記特定の波長の光に対して透光性を有する第1導電型半導体接着基板を接着して熱処理する第2の接着工程と、全体をほぼ球状に加工する工程と、を備えることを特徴とする。

【0013】また、本発明の半導体発光素子は、互いに向き合う第1および第2の面を有し、前記第1の面の面積が前記第2の面の面積よりも小さい第1導電型半導体基板と、前記第1導電型半導体基板の第1の面上に形成された第1導電型半導体層と、前記第1導電型半導体層上に形成され、電流注入により前記第1導電型半導体基板に対して透光性を有する波長の光を発光する活性層と、前記活性層上に形成された第2導電型半導体層と、前記第1導電型半導体基板、前記第1導電型半導体層、前記活性層、前記第2導電型半導体層、の端面上に形成された絶縁膜と、前記絶縁膜上に形成された反射膜と、を備え、前記第2の面から光を取り出すものとして構成されていることを特徴とする。

【0014】

【発明の実施の形態】以下、図面を参照しつつ、本発明の実施の形態について説明する。まず、第1の実施の形態では、ほぼ球状の半導体発光素子について説明する。この半導体発光素子では、中心からの光が球面に対してほぼ直角をなすようになり、究極的な光取り出し構造を実現できる。また、球の両側に電極を設けることができるので、マウントのための正確な位置出しが不要になり、マウントが容易になる。さらに、縦方向に電流を流すことができるので、発光の偏りが少なくなる。

【0015】次に、第2、第3の実施の形態では、傾斜した端面を持ち、その端面に順次絶縁膜および反射膜を形成した半導体発光素子について説明する。この半導体発光素子では、活性層から出た光が傾斜した端面を利用して有効に取り出せる。また、反射膜により、端面から出ている光や内部に閉じこめられていた光を素子前面から出すことができるようになり、さらに、光取り出し効率を向上させることができる。また、絶縁膜により端面が保護されているため、導電性マウント材がp型半導体層の端面とn型半導体層の端面とをショートしてしまうという問題が無くなり、マウントが容易になる。

【0016】(第1の実施の形態)図1は、本発明の第1の実施の形態に係わる半導体発光素子の構造を示す図である。図1の半導体発光素子は、全体がほぼ球状である。この素子では、p型電極104とn型電極105から電流を注入することにより、発光ダイオード層(半導体積層体)106の活性層が発光する。

【0017】この発光ダイオード層106は、第1の接着面102aを有するほぼ半球状のp型GaP接着基板102と、第2の接着面103aを有するほぼ半球状のn型GaP接着基板103と、に挟まれている。そして、これらのp型GaP接着基板102、n型GaP接着基板103には、それぞれ、前述した、p型電極104、n型電極105が備えられている。ここで発光ダイオード層の厚さは数 μm であり、p型GaP接着基板102の頂点から第1の接着面102aまでの距離は約350 μm 、n型GaP接着基板103の頂点から第2の接着面103aまでの距離は約250 μm である。また、発光ダイオード層106の面積は、第1の接着面102および第2の接着面103の面積よりも小さく、発光ダイオード層106の側面の周囲106aに、第1の接着面102aおよび第2の接着面103aの周囲よりも窪んでいる窪みを形成してある。

【0018】発光ダイオード層106は、後述の製造方法の説明で用いる図2から分かるように、ZnドープIn_{0.5}(Ga_{0.7}Al_{0.3})_{0.5}P活性層16を、n型In_{0.5}Al_{0.5}Pクラッド層15と、p型In_{0.5}Al_{0.5}Pクラッド層17とにより挟んだ構造を含んでいる。そして、このp型In_{0.5}Al_{0.5}Pクラッド層17には、p型InGaP接着層18を介して、ほぼ半球状のp型GaP接着基板103が接着されている。また、n型In_{0.5}Al_{0.5}Pクラッド層15には、n型InGaP接着層14を介して、ほぼ半球状のn型GaP接着基板102が接着されている。ここで、これらのn型GaP接着基板102およびp型GaP接着基板103は、ZnドープIn_{0.5}(Ga_{0.7}Al_{0.3})_{0.5}P活性層16よりもバンドギャップが大きいので、活性層16が発光する光に対して透光性を有している。

【0019】このように構成された図1の素子はベースト111によってリードフレーム110に固定されている。

【0020】図1の全球状半導体発光素子では、光取り出し効率を向上させることができる。

【0021】すなわち、半導体発光素子が完全な球面に近い形状をもつことにより、その中心からの光が球面に対してほぼ直角をなすようになり、究極的な光取り出し構造を実現できる。

【0022】また、図1の全球状半導体発光素子では、マウントが容易になる。すなわち、まず、図13に示した従来の半球状半導体発光素子と異なり、p電極10

4、n電極105が反対側にあるので、マウントの為の正確な位置出しが不要となる。次に、図1から分かるように、p型GaP接着基板102の頂点から接着面102aまでの距離と、n型GaP接着基板103の頂点から接着面103aまでの距離とが異なる値に設定されており、発光ダイオード層106の側面が凹状になっているので、色をつけたり印をつけたりすることなく、p電極とn電極の区別が容易になる。さらに、本素子は完全な球状では無くカプセル状である為、素子を自由な状態に置いた場合、必ず接合面は垂直な状態の置かれる。このため、マウントに際しては、そのまま、キャピラリー等でピックアップすることが可能で、マウントが容易になる。

【0023】また、図1の全球状半導体発光素子では、縦方向に電流を流すことができるので、発光の偏りが少なくなる。

【0024】また、図1の全球状半導体発光素子では、図13に示す従来の発光素子と異なり、素子分離の溝形成、電極形成の為のZn拡散等の必要がない。

【0025】次に、図1に示す半導体発光素子の製造方法を、図2～図8を用いて、以下に説明する。本実施形態の製造方法の特徴の1つは、後述するように、図3、図4に示す基板の接着工程での温度を工夫したことである。これは本発明者の独自の実験結果によって得られたものであり、本発明者の独自の知得に基づくものである。

【0026】(1)まず、図2に示すように、250.0 μm のn型GaAs基板10上に0.5 μm のn型GaAsバッファ層11を成長後、0.5 μm のn型InGaPエッチングストップ層12、0.01～0.1 μm のn型GaAsエッチングストップ層13、0.05 μm のn型InGaPウェーハ接着層14、1.0 μm のn型In_{0.5}Al_{0.5}Pクラッド層15、1.0 μm のZnドープIn_{0.5}(Ga_{0.7}Al_{0.3})_{0.5}P活性層16、p型In_{0.5}Al_{0.5}Pクラッド層17、0.05 μm のp型InGaPウェーハ接着層18を順次形成する。これを半導体の導電型に着目して説明すれば、n型半導体基板(第1導電型半導体基板)10上に、n型半導体層(第1導電型半導体層)11～15、活性層16、p型半導体層(第2導電型半導体層)17～18、を順次形成すると言える。

【0027】上述の、n型ウェーハ接着層14～p型ウェーハ接着層18は、斜線で示した発光ダイオード層106となる。前述のn型GaAs基板10は、この発光ダイオード層の各層の半導体と良く格子整合し、発光ダイオード層106の形成に適している。つまり、n型GaAs基板を用いることにより、結晶欠陥が少ない発光ダイオード層106を形成することができる。ただ、このn型GaAs基板10は、ZnドープIn_{0.5}(Ga

a. . . Al. . .) . . . P活性層16よりもバンドギャップが小さいので、電流注入により活性層16が発光する光に対して透光性を有しない。このため、n型GaAs基板10～エッチングストップ層13（n型GaAs基板部分100）は、後述の工程でエッチング除去されることになる。つまり、ここではn型GaAs基板10は、結晶欠陥が少ない発光ダイオード層を形成するためのダミー基板となる。

【0028】なお、上述の記載から分かるように、発光ダイオード層106の膜厚は数 μm であり、n型GaAs基板部分100の膜厚は約251 μm であるが、図2では、発光ダイオード層106の説明のため、倍率を変えて表示してある。

【0029】（2）次に、図3から分かるように、250.0 μm のp型GaP基板101に高濃度p型GaP層101aを0.2 μm 成長したp型GaP接着基板102を用意し、水洗乾燥する。また、図3から分かるように、図2で説明したウェーハも用意し、水洗乾燥する。なお、図3では、図2のウェーハを上下逆向きにして示している。そして、図3に示すように、図2で示したウェーハの発光ダイオード層106の接着層18と、p型GaP接着基板102のp型GaP層101aと、を重ねて接着させ、熱処理を行い、第1の接着工程を行う。本実施形態では、この第1の接着工程の熱処理温度を400 $^{\circ}\text{C}$ とした。

【0030】（3）次に、n型GaAs基板10、n型GaAsバッファ層11をアンモニア系のエッチング液で選択的にエッチングし、続いてInGaPエッチングストップ層12を塩酸系のエッチング液でエッチング処理し、さらにGaAs層13を硫酸系のエッチング液で選択的に除去して、n型GaAs基板部分100をエッチング除去する。このようにして、0.05 μm のn型InGaPウェーハ接着層14を露出させ、水洗後、乾燥する。その後、図4に示すように、350 μm のn型GaP接着基板103を用意し、n型InGaPウェーハ接着層14と重ねて接着させ、熱処理を行い、第2の接着工程を行う。本実施形態では、この第2の接着工程の熱処理温度を770 $^{\circ}\text{C}$ とした。

【0031】（4）次に、図5に示すように、p型GaP接着基板102およびn型GaP接着基板103の一部に、通電用のオーミック電極として、p型電極104、n型電極105を形成する。

【0032】（5）次に、図6に示すように、粘着シート上でV字状のダイシングソーを使用して、表面及び裏面にダイシング溝107を形成する。

【0033】（6）次に、応力を加えて割る所謂ブレイキングをおこなうことにより、図7に示すような、多角形の発光素子を得る。

【0034】（7）次に、ダイシング用のシートをのばすことによりチップとチップとの間隔をあげた後、図8

に示すように、多角形の発光素子の側面及び上面等を塩酸系のエッチング液でエッチングすることにより、カプセル型の発光素子を得る。この際、図1から分かるように、発光ダイオード部106の側面が凹状になるようにする。

【0035】（8）次に、カプセル状の発光素子を、リードフレーム110にマウントして、図1の状態にする。マウントにはペースト111を用いることができる。ここで、図9に示すような形状のリードフレーム110にマウントを行うことも可能である。また、ここで、図5において電極を形成せずに、リードフレーム110側にp型電極及びn型電極を予め塗布しておき、電極剤の融点まで昇温することによってマウントすることも可能である。

【0036】以上説明した本実施形態の半導体発光素子の製造方法では、図1に示す工程でダイオード層の形成に適したダミー基板10の上に発光ダイオード層106を形成したので、発光ダイオード層106の結晶欠陥が少なく、信頼性の高い球状半導体発光素子を提供することができる。

【0037】また、本実施形態の半導体発光素子の製造方法では、図3に示す第1の接着工程の熱処理温度を、図4に示す第2の接着工程の熱処理温度よりも低くしたので、球面半導体発光素子の製造に必要な接着基板の2回の接着が容易にできるようになる。これは本発明者の独自の実験結果によって得られたものである。

【0038】この熱処理温度の最適値は、半導体の材質等によって異なるが、例えば、本実施形態の場合、本発明者の実験によれば、第1の接着工程の熱処理温度は、400 $^{\circ}\text{C}$ 程度が最も良く、望ましくは350 $^{\circ}\text{C}$ 以上450 $^{\circ}\text{C}$ 以下である。また、第2の接着工程の熱処理温度は、770 $^{\circ}\text{C}$ 程度が最も良く、望ましくは700 $^{\circ}\text{C}$ 以上800 $^{\circ}\text{C}$ 以下である。

【0039】このような温度範囲で接着を行うと接着が容易になる理由は、400 $^{\circ}\text{C}$ 程度で脱水縮合反応が進行し始め、770 $^{\circ}\text{C}$ 程度で脱水縮合反応が完了するためと解析される。

【0040】このように、本実施形態では、特定の温度範囲で接着を行うことにより、基板の接着が2回できるようになり、図1に示すような全球状の半導体発光素子を製造することが可能になる。これに対し、従来は、基板の接着を2回行うことは極めて困難であると考えられていた。このため、本実施形態のような全球状の半導体発光素子を実際に製造することは極めて困難であると考えられていた。

【0041】以上説明した第1の実施の形態の半導体発光素子では、カプセル状の形状について説明したが、光取り効率を重視して、完全な球状に近い形状、または完全な球状にしても良い。

【0042】また、以上説明した第1の実施の形態の半

導体発光素子では、n型とp型を逆にしても良い。

【0043】(第2の実施の形態)第2の実施の形態の半導体発光素子は、図10から分かるように、基板200の一方の面200bを光取り出し面とし、傾斜した端面を持ち、その端面に順次絶縁膜208および反射膜209を形成したものである。

【0044】図10は、本発明の第2の実施の形態に係わる半導体発光素子の構造を示す図である。n型GaP基板200は互いに向き合う第1の面200aおよび第2の面200bを有し、第1の面200aの面積が、第2の面200bの面積よりも小さくなっている。第1の面200aの下側には、接着或いは成長により形成された $\text{In}_{s_1}\text{Ga}_{t_1}\text{Al}_{1-s_1-t_1}\text{P}$ からなるn型バッファ層201、 $\text{In}_{s_2}\text{Ga}_{t_2}\text{Al}_{1-s_2-t_2}\text{P}$ からなるn型クラッド層202、 $\text{In}_{s_3}\text{Ga}_{t_3}\text{Al}_{1-s_3-t_3}\text{P}$ からなる活性層203、 $\text{In}_{s_4}\text{Ga}_{t_4}\text{Al}_{1-s_4-t_4}\text{P}$ からなるp型クラッド層204、 $\text{In}_{s_5}\text{Ga}_{t_5}\text{Al}_{1-s_5-t_5}\text{P}$ からなるp型コンタクト層205が順次形成されている ($0 \leq s_a + t_a \leq 1$ 、 $0 \leq s_a \leq 1$ 、 $0 \leq t_a \leq 1$ 、 $a = 1 \sim 5$)。これを半導体の導電型に着目して説明すれば、n型半導体基板(第1導電型半導体基板)200の第1の面200a上に、n型半導体層(第1導電型半導体層)201、202、活性層203、p型半導体層(第2導電型半導体層)204、205が順次形成されていると言える。ここで、活性層203の組成を変えることで、波長 λ が540nmから750nmまでの、赤色から緑色までの発光が実現可能である。また、活性層203を、厚さ数nmからなる量子井戸を用いた単一量子井戸構造や多重量子井戸構造とすることで、発光効率の向上と長寿命が実現できる。この活性層203の両側のクラッド層202、204、および、コンタクト層205の組成は、活性層203のバンドギャップより大きくなるように調整されており、光吸収がない構造になっている。また、n型GaP基板200も、活性層203の InGaAlP よりもバンドギャップが大きく、活性層203が発光する光に対して透光性を有する。このn型GaP基板200の上側には AuGeNi からなるn型電極206が形成されている。また、このn型電極206の反対側の表面であるp型コンタクト層205の下側には AuZn からなるp型電極207が形成されている。

【0045】なお、n型GaPからなる基板200の膜厚は数百 μm 、n型バッファ層201～p型コンタクト層205の膜厚は数 μm であるが、図10では、説明をしやすいするため、倍率を変えて示している。

【0046】図10の素子の特徴の1つは、チップ端面に SiO_2 からなる絶縁膜208を形成し、この絶縁膜208上にAlからなる反射層209を形成したことである。絶縁膜208の厚さdは、活性層203からの発

光が、絶縁膜208と半導体結晶との界面で反射されないように、絶縁膜の屈折率をn、上述の活性層の発光波長を λ として $d = \lambda / 4n$ にされている。なおこの厚さdは、計算式から容易に分かるように、数十nmであるが、図10では倍率を変えて示している。

【0047】この絶縁膜208および反射層209は、凸型ブレードによるダイシングによりp型コンタクト層205側からn型GaP基板の一部を残して溝を形成し(図6参照)、ダイシングくずをエッチングにより除去し、 SiO_2 絶縁膜208を形成し、その上に反射膜209を形成することで実現できる。ここで、ドライエッチングやサンドブラスタ法にてもダイシング同様に実現できる。そして、その後チップに分離すれば、図10の素子が得られる。

【0048】このようにして形成された図10の素子は、下側、すなわちp電極207側に導電性マウント剤が塗布され、リードフレームにマウントされる。そして、上側、すなわち基板の第2の面200bから光が取り出される。

【0049】以上説明した図10の半導体発光素子では、傾斜した端面により光取りだし効率を改善させることができる。

【0050】また、図10の半導体発光素子では、絶縁膜208上に形成した反射膜により、従来端面から出ていた光や内部に閉じこめられていた光を素子前面から出すことができるようになる。そして、本実施形態のように、絶縁膜208の厚さ $d = \lambda / 4$ とすることで、反射効率をさらに増加させることができる。このように、図10の素子では、反射膜208を設けたことにより、さらに、光取り出し効率を向上させることができる。

【0051】また、図10の半導体発光素子では、チップ端面が絶縁膜208で保護されているため、マウントが容易になる。すなわち、従来は、図10のような基板200側から光を取り出す構造(フリップチップ構造)の素子を製造すると、p型半導体層204とn型半導体層202が素子下部の導電性マウント材の近くにあるため、導電性マウント材がp型半導体層204の端面とn型半導体層202の端面とをショートしてしまうという問題があった。また、このショート事故を減らそうとしてマウント材を減らすと、素子とフレームとの接着強度が弱くなり、マウントが不安定になるという問題があった。これに対し、図10の発光素子では、p型半導体層204の端面とn型半導体層202の端面が SiO_2 絶縁膜208で保護されているため、ショート事故が防止できる。従って、導電性マウント材を増やすことが可能になり、素子とフレームとの接着強度を強くして、マウント安定させることができるようになる。このように、図10の素子では、マウントが容易になる。

【0052】次に、以上の半導体発光素子では、絶縁膜として SiO_2 を、反射膜としてAlを使用した。他

の絶縁膜、反射膜を使用することも可能であるので、その種類について検討する。

【0053】本発明者の実験によれば、絶縁膜、反射膜は、その組み合わせによって異なる特性を示し、上述した本実施形態の半導体発光素子を実現するためには、絶*

表1

絶縁膜	反射膜
SiO ₂	Ag、Al、Au、Cu
SiN _x	Ag、Al、Au、Cu
シリコン	Ag、Al、Au、Cu
TiO	Ti、Au
HfO	Ni、Au
Al ₂ O ₃	Ag、Al、Au、Cu

表1から分かるように、本発明者の実験によれば、図10の半導体発光素子のように絶縁膜としてSiO₂、反射膜としてAlを使用した場合は、結晶の端面との密着性が特に良くなることが分かった。そして、これにより、上述したような発光効率の向上や、マウントのしやすさの効果が、特に大きくなることが分かった。また、この場合は、反射膜としてAg、Au、Cuのいずれかを使用しても、結晶との密着性が良好になることが分かった。

【0055】同様に、本発明者の実験によれば、湿度が高い環境で半導体発光素子を使用する場合は、絶縁膜としてSiN_x、反射膜としてAg、Al、Au、Cuのいずれかを使用すると、上述の効果が特に大きくなることが分かった。

【0056】また、本発明者の実験によれば、チップの形状や、チップの材質によって膜割れが起こりやすい場合は、絶縁膜としてシリコン、反射膜としてAg、Al、Au、Cuのいずれかを使用すると、上述の効果が得られるのに加え、膜割れがほとんど起こらないことが分かった。この場合は、絶縁膜としてTiO、反射膜としてTi、Auのいずれかを使用しても、膜割れがほとんど起こらないことが分かった。

【0057】また、本発明者の実験によれば、半導体発光素子の寿命が特に重視される場合は、絶縁膜としてAl₂O₃、反射膜としてAg、Al、Au、Cuのいずれかを使用すると、上述の効果が得られるのに加え、経時変化が少なく、素子の寿命が長くなることが分かった。

【0058】また、本発明者の実験によれば、温度が高い環境で半導体発光素子を使用する場合は、絶縁膜としてAl₂O₃、反射膜としてAg、Al、Au、Cuのいずれかを使用すると、上述の効果が特に大きくなることが分かった。

【0059】このように、特定の種類の絶縁膜と特定の種類の反射膜とを組み合わせることにより顕著な効果が得られる理由は、主に、絶縁膜と反射膜との熱膨張係数の差に起因すると解析される。すなわち、絶縁膜と反射

* 縁膜、反射膜をチップの形状、使用環境に応じて適切なものにすることが重要であることが判明した。表1は、本発明者の実験により得られた、絶縁膜、反射膜の組み合わせと、その特性を示す表である。

【0054】

特性
結晶との密着性良好
耐湿性良好
膜割れ小
膜割れ小
経時変化小
対高温性良好

膜との熱膨張係数が大きいと、環境変化等により絶縁膜と反射膜との密着性が悪化したり、絶縁膜と反射膜の膜質が悪化したりすると解析される。

【0060】このように、本発明者の実験によれば、本実施形態の半導体発光素子の効果を得るためには、絶縁膜は、絶縁特性を示すものであれば何でもかまわないというわけではなく、チップの形状、使用環境に応じて適切なものにすることが重要であることが判明した。また、反射膜も、反射率の高い材料であれば何でもかまわないというわけではなく、絶縁膜の種類等に応じて適切なものにすることが重要であることが判明した。

【0061】また、導電性ペースト以外に共晶金属を用いてマウントした場合に問題になる絶縁膜割れも発生することなく、共晶金属(AnSn、AnGe)を用いることも可能になった。

【0062】(第3の実施の形態)第3の実施の形態は、図11から分かるように、第2の実施の形態と半導体の材質、基板の材質、反射膜の種類、を変え、それに対応して絶縁膜308の厚さを薄くしたことを特徴の1つとする。

【0063】図11は、本発明の第3の実施の形態に係わる半導体発光素子の構造を示す図である。n型GaN基板300は互いに向き合う第1の面308aおよび第2の面308bを有し、第1の面308aの面積が、第2の面308bの面積よりも小さくなっている。第1の面308aの下側には、In_x₁Ga_y₁Al_{1-x-y}₁Nからなるn型バッファ層301、In_x₂Ga_y₂Al_{1-x-y}₂Nからなるn型クラッド層302、In_x₃Ga_y₃Al_{1-x-y}₃Nからなる活性層303、In_x₄Ga_y₄Al_{1-x-y}₄Nからなるp型クラッド層304、In_x₅Ga_y₅Al_{1-x-y}₅Nからなるp型コンタクト層305が順次形成されている(0≤x_b+y_b≤1、0≤x_b≤1、0≤y_b≤1、b=1~5)。活性層303の組成を変えることで、主に、波長λが380nmから500nmまでの、紫外から緑色までの発光が実現可能である。また、活性層303を、厚さ数nmからなる量子井

戸層を用いた単一量子井戸構造や多重量子井戸構造とすることで、発光効率の向上と長寿命が実現できる。活性層303両側のn型クラッド層302及びp型304とp型コンタクト層305の組成は、活性層303のバンドギャップより大きくなるように調整されており、光吸収がない構造になっている。また、n型Ga_xN基板300も、活性層303のIn_x, Ga_y, Al_{1-x-y}, Nよりもバンドギャップが大きく、活性層303が発光する光に対して透光性を有する。このn型Ga_xN基板300の上側には、TiAuからなるn型電極306が形成されている。また、このp型電極306の反対側の表面であるp型コンタクト層305の下側にはNiAuからなるp型電極307が形成されている。

【0064】なお、n型Ga_xNからなる基板300の膜厚は数百μmであり、n型バッファ層301～p型コンタクト層305の膜厚は数μmであるが、図11では、説明をしやすいするため、倍率を変えて示している。

【0065】図11の素子の特徴の1つは、チップ端面にSiO₂からなる絶縁膜308を形成し、この絶縁膜308上にAgからなる反射層309を形成していることである。絶縁膜308の厚さdは、絶縁膜の屈折率をnとすれば、上述の活性層の発光波長λを用いて、 $d = \lambda / 4n$ である。本実施形態のチップの発光波長は、第2の実施の形態のチップの発光波長よりも短いから、絶縁膜308の厚さも、それに対応して薄くしてある。なおこの厚さdは、計算式から容易に分かるように、数十nmであるが、図11では倍率を変えて示している。

【0066】このようにして形成された図11の素子は、下側、すなわちp電極307側に導電性マウント剤が塗布され、リードフレームにマウントされる。そして、上側、すなわち基板の第2の面308b側から光が取り出される。

【0067】ここで、リードフレームは反射板がないものでもよく、レンズモールドした構成での配向特性はチップ端面の傾斜角で制御できるため、リードフレームを共通にできる。さらに、チップを並べたディスプレイ等に用いる場合、チップ間を仕切る板が必要ないため、任意の形状が容易にできる特徴を有している。

【0068】本実施形態の半導体発光素子も、第2の実施の形態の半導体発光素子と同様に、光取り出し効率を向上させることができ、マウントを容易にすることができる。

【0069】以上説明した第2、第3の実施の形態ではn型半導体基板上にn型半導体層、活性層、p型半導体層を順次形成したが、p型とn型を逆にすることも可能である。

【0070】

【発明の効果】本発明によれば、半導体発光素子を、ほぼ半球状の透明なp型半導体接着基板と、ほぼ半球状の

透明なn型半導体接着基板と、これらに挟まれた発光ダイオード層と、により全体がほぼ球状のものとしたので、光取り出し効率が高く、マウントが容易なものとしてすることができる。また、これを製造する方法として、発光ダイオード層の形成に適したダミー基板の上に発光ダイオード層を形成した後、その上に透明な第1導電型半導体接着基板を接着し、その後ダミー基板を除去して代わりに透明な第2導電型半導体接着基板を接着し、全体をほぼ球状に加工する方法を用いたので、発光ダイオード層の結晶欠陥が少なく、信頼性が高い半導体発光素子を提供することができる。

【0071】また、本発明によれば、半導体発光素子を、傾斜した端面を持ち、その端面に順次絶縁膜および反射膜を形成したものとしたので、光取り出し効率が高く、マウントが容易なものとしてすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体発光素子の構造を示す図。

【図2】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図。

【図3】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図で、図2に続く図。

【図4】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図で、図3に続く図。

【図5】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図で、図4に続く図。

【図6】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図で、図5に続く図。

【図7】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図で、図6に続く図。

【図8】本発明の第1の実施の形態の半導体発光素子の製造方法を示す図で、図7に続く図。

【図9】本発明の第1の実施の形態の半導体発光素子のマウント方法の例を示す図。

【図10】本発明の第2の実施の形態の半導体発光素子の構造を示す図。

【図11】本発明の第3の実施の形態の半導体発光素子の構造を示す図。

【図12】従来の半導体発光素子の構造を示す図。

【図13】従来の半導体発光素子の構造を示す図。

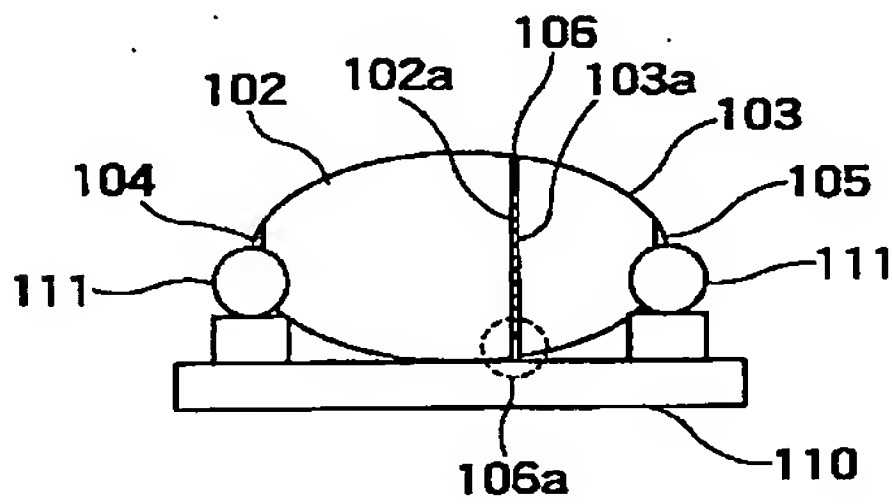
【符号の説明】

- 10 n型GaAs基板
- 11 n型GaAsバッファ層
- 12 n型InGaPエッチングストップ層
- 13 n型GaAsエッチングストップ層
- 14 n型InGaPウェーハ接着層
- 15 n型In_{0.5}Al_{0.5}Pクラッド層
- 16 ZnドープIn_{0.5}(Ga_{0.7}Al_{0.3})_{0.5}P活性層
- 17 p型In_{0.5}Al_{0.5}Pクラッド層

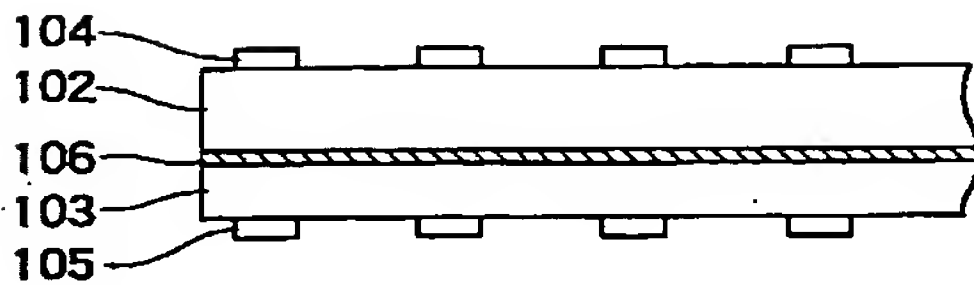
15

- 18 p型InGaPウェーハ接着層
- 102 p型GaP接着基板
- 102a 第1の接着面
- 103 n型GaP接着基板
- 103a 第2の接着面
- 106 発光ダイオード層(半導体積層体)
- 106a 発光ダイオード層(半導体積層体)の側面の周囲
- 200 n型GaP基板
- 200a n型GaP基板の第1の面
- 200b n型GaP基板の第2の面
- 201 n型 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{Al}_{1-y_1}\text{P}$ バッファ層
- 202 n型 $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{Al}_{1-y_2}\text{P}$ クラッド層
- 203 $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{Al}_{1-y_3}\text{P}$ 活性層
- 204 p型 $\text{In}_{x_4}\text{Ga}_{1-x_4}\text{Al}_{1-y_4}\text{P}$ クラッド層

【図1】



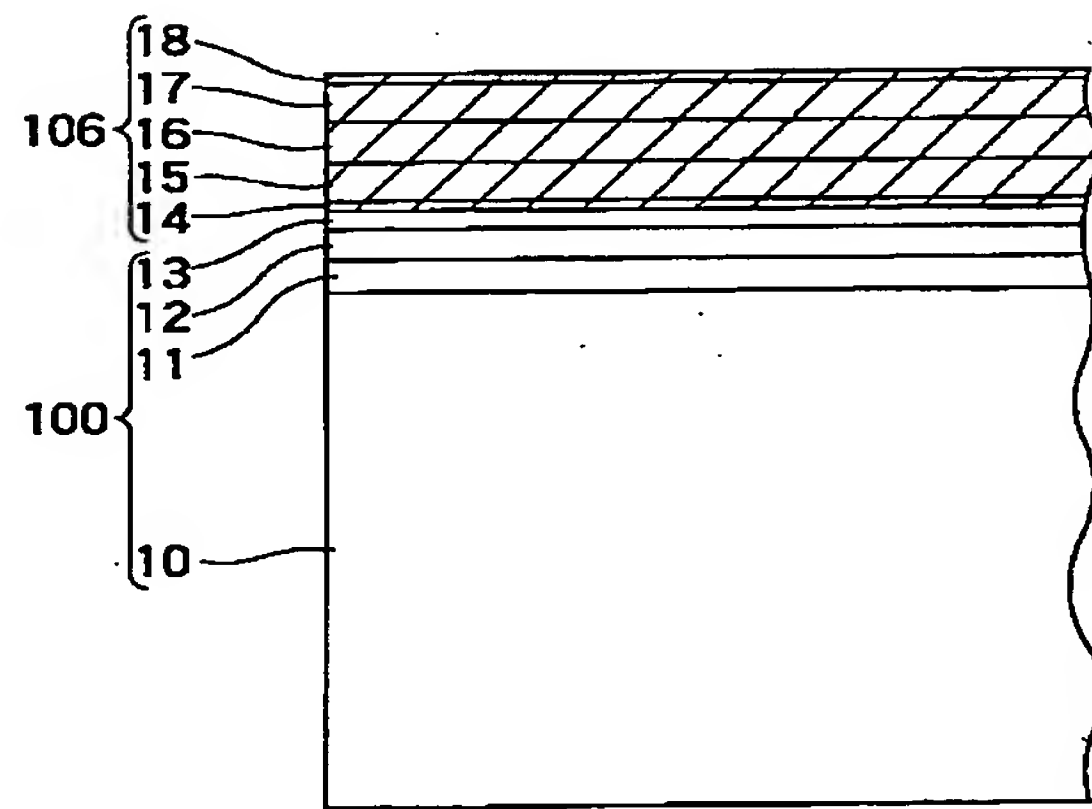
【図5】



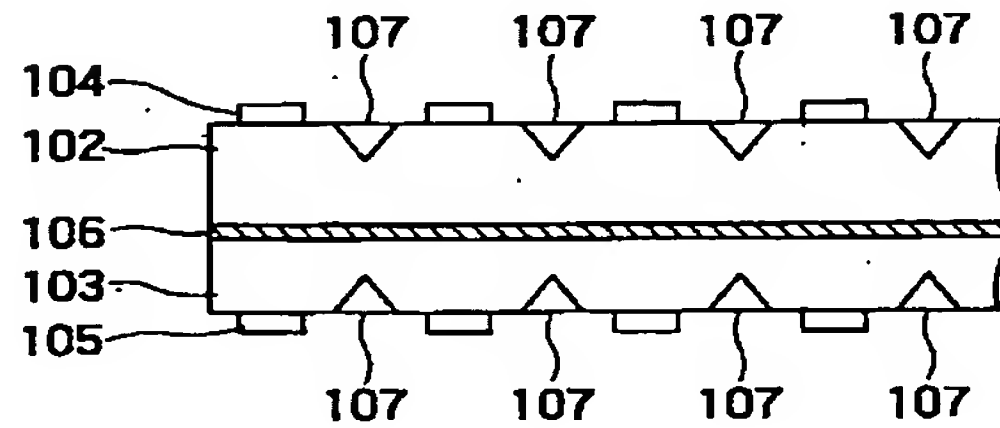
16

- * 205 p型 $\text{In}_{x_5}\text{Ga}_{1-x_5}\text{Al}_{1-y_5}\text{P}$ コンタクト層
- 208 SiO_2 絶縁膜
- 209 Al反射膜
- 300 n型GaP基板
- 300a n型GaP基板の第1の面
- 300b n型GaP基板の第2の面
- 301 n型 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{Al}_{1-y_1}\text{N}$ バッファ層
- 10 302 n型 $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{Al}_{1-y_2}\text{N}$ クラッド層
- 303 $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{Al}_{1-y_3}\text{N}$ 活性層
- 304 p型 $\text{In}_{x_4}\text{Ga}_{1-x_4}\text{Al}_{1-y_4}\text{N}$ クラッド層
- 305 p型 $\text{In}_{x_5}\text{Ga}_{1-x_5}\text{Al}_{1-y_5}\text{N}$ コンタクト層
- 308 SiO_2 絶縁膜
- * 309 Ag反射膜

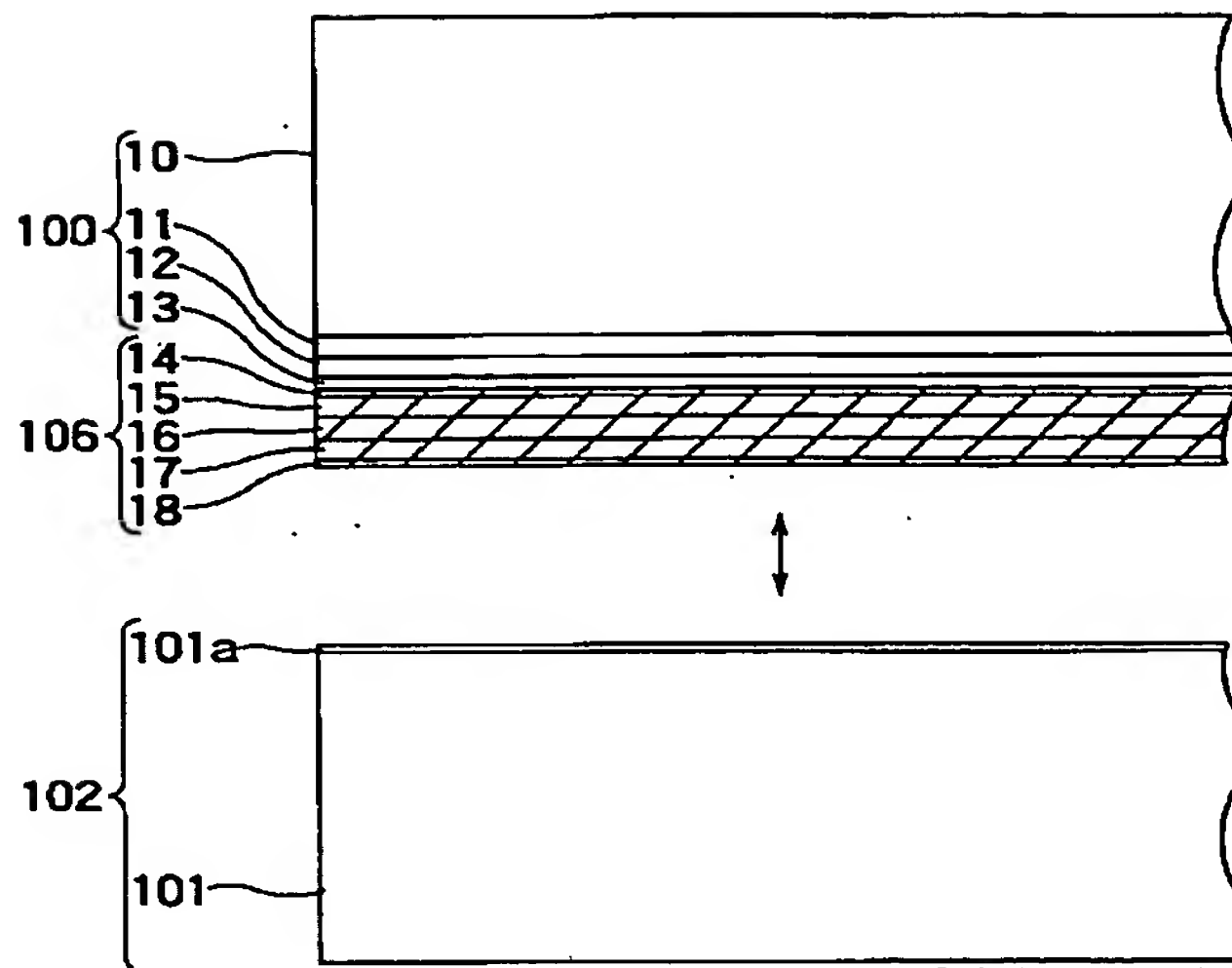
【図2】



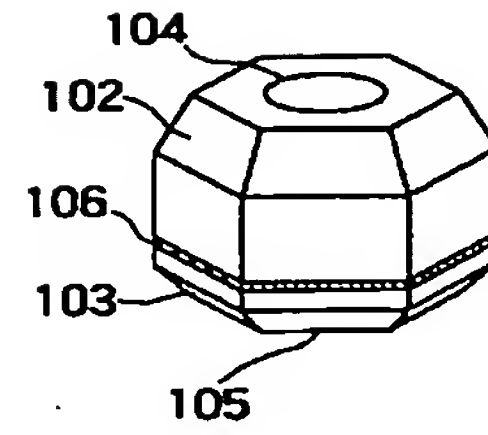
【図6】



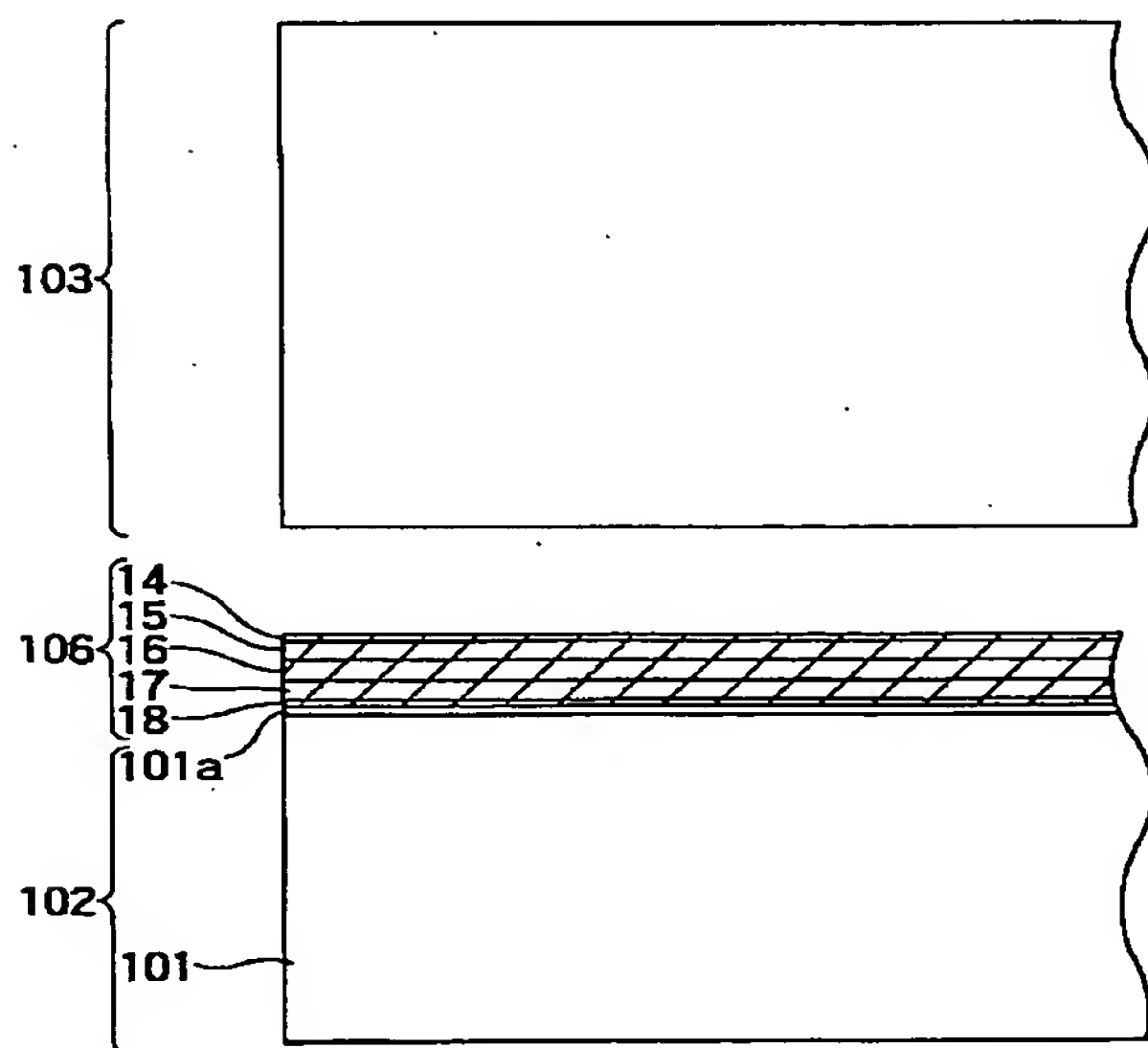
【図3】



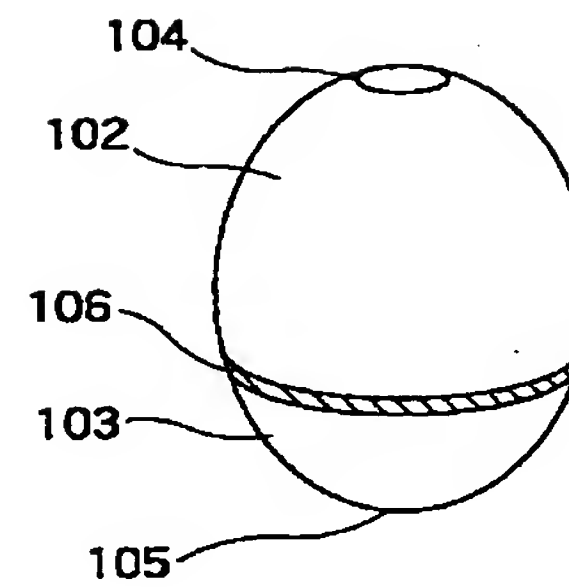
【図7】



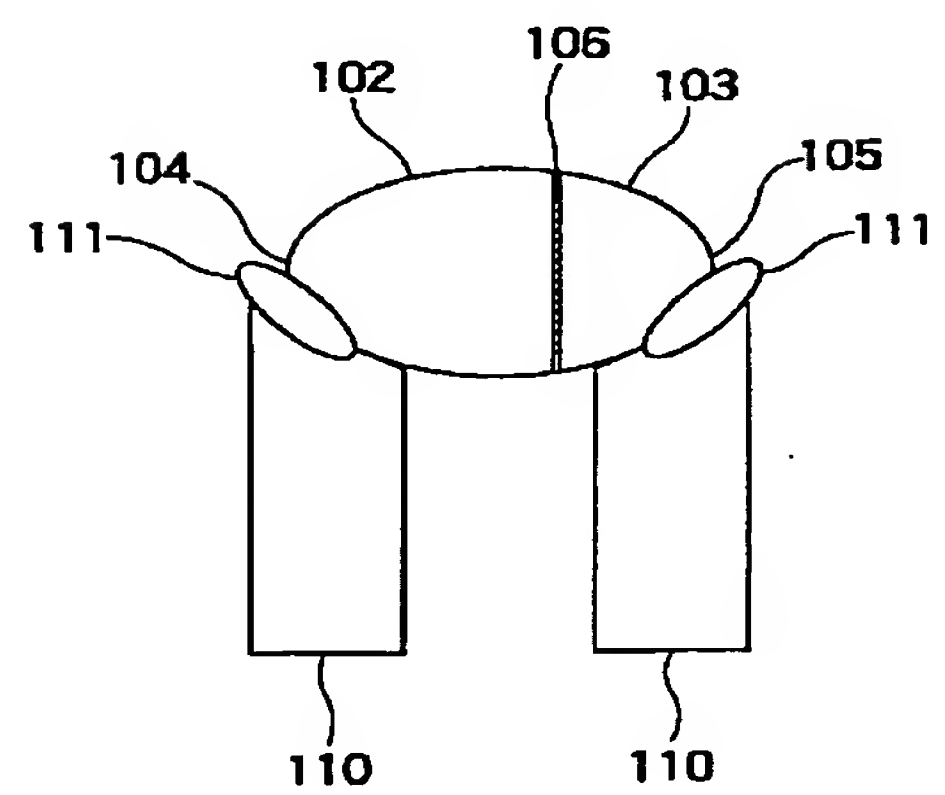
【図4】



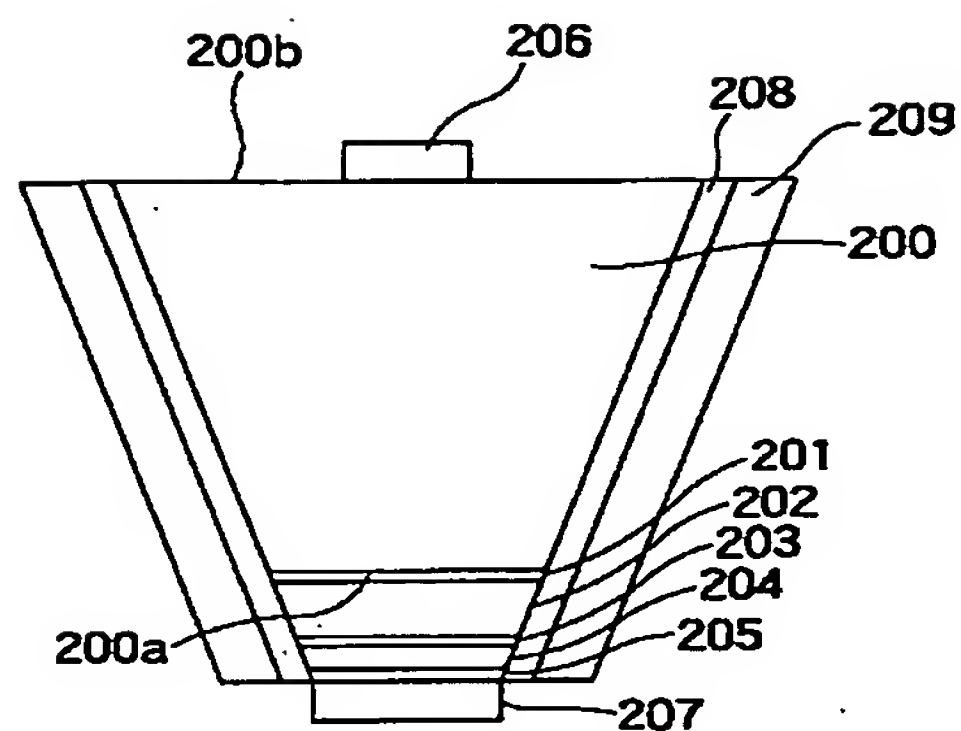
【図8】



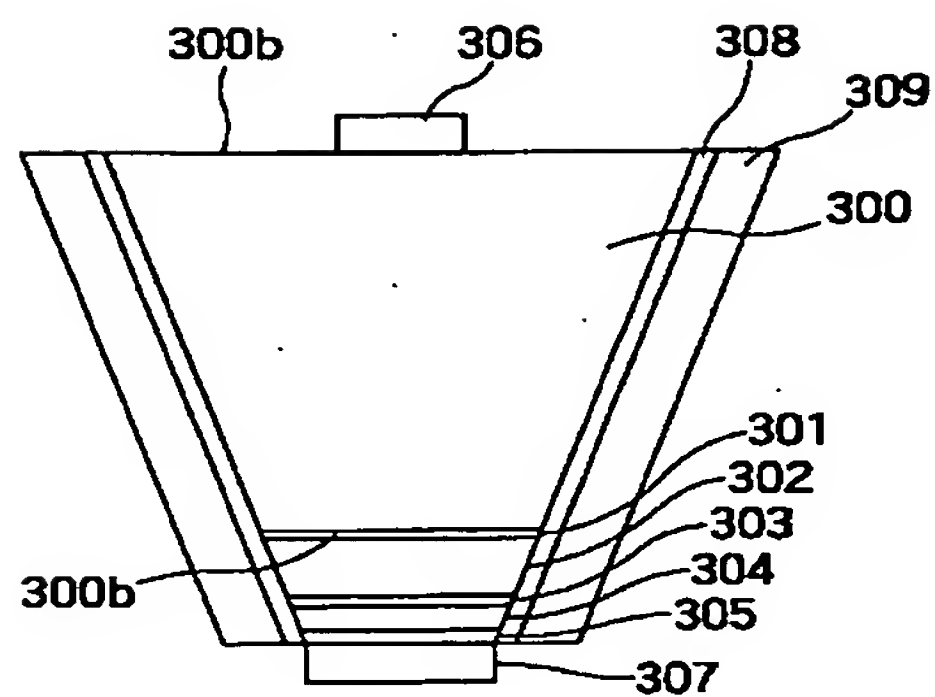
【図9】



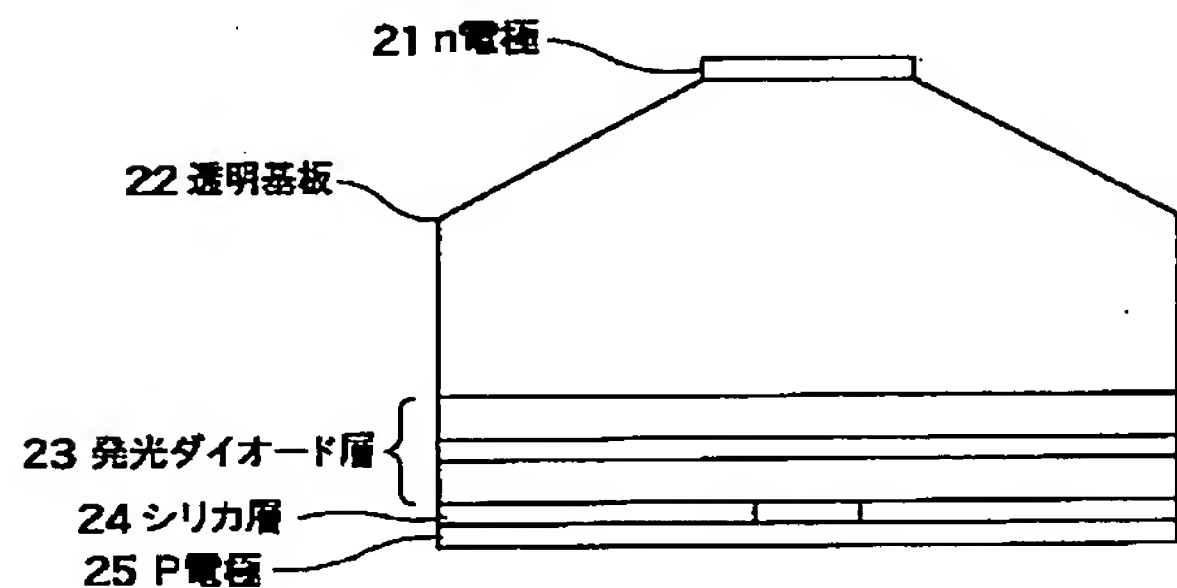
【図10】



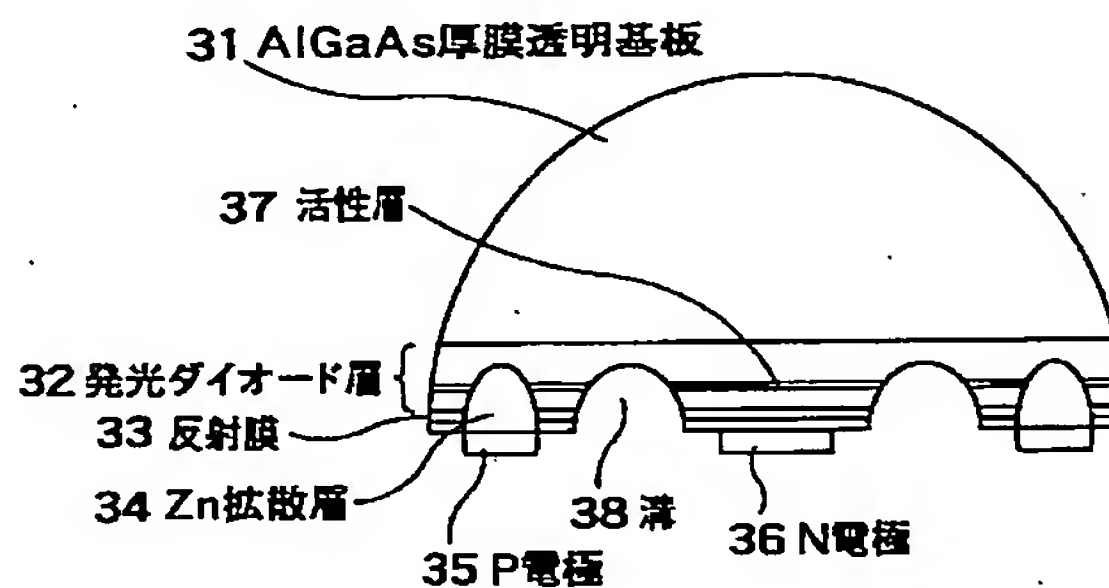
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 藤 木 潤 一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 5F041 AA03 AA04 AA37 AA40 AA42
AA43 CA04 CA05 CA34 CA35
CA37 CA53 CA74 CA76 CA77
CA85 CB15 CB36 DA02 DA16

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.